

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 6 日
Date of Application:

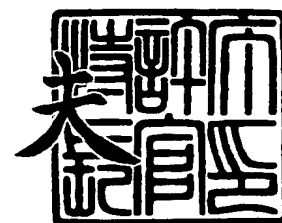
出 願 番 号 特 願 2 0 0 2 - 3 6 3 3 9 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 6 3 3 9 6]

出 願 人 株式会社半導体先端テクノロジーズ
Applicant(s):

2 0 0 3 年 1 1 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 02PR001A

【提出日】 平成14年12月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768
H01L 21/316

【発明者】

【住所又は居所】 茨城県つくば市小野川 1 6 番地 1 株式会社半導体先端
テクノロジーズ内

【氏名】 梶 成彦

【特許出願人】

【識別番号】 597114926

【氏名又は名称】 株式会社半導体先端テクノロジーズ

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1



【物件名】 要約書 1

【包括委任状番号】 0214704

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された多孔性の低誘電率膜と、
前記低誘電率膜内に形成された配線溝と、
前記配線溝の側面のみを覆い、比誘電率が 3 以下である絶縁膜と、
前記配線溝内に形成された導電体膜と、
を備えたことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、
前記絶縁膜は、MSQ、HSQ、フッ素化ポリ（アリレン）膜、アモルファス
フッ化カーボンの何れかであることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 に記載の半導体装置において、
前記低誘電率膜は、ポーラスMSQ、ポーラスHSQ、メチル基と水素基の両
方を含有するハイブリッド膜、カーボンの主成分とするポーラス有機膜の何れか
であることを特徴とする半導体装置

【請求項 4】 基板上に多孔性の低誘電率膜を形成する工程と、
前記低誘電率膜内に配線溝を形成する工程と、
前記配線溝の側面を含む前記基板の全面に、比誘電率が 3 以下である絶縁膜を
形成する工程と、
前記配線溝の側面以外に形成された不要な前記絶縁膜を除去する工程と、
前記配線溝内に導電体膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 に記載の製造方法において、
前記絶縁膜は、MSQ、HSQ、フッ素化ポリ（アリレン）膜、アモルファス
フッ化カーボンの何れかであることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 又は 5 に記載の製造方法において、
前記低誘電率膜は、ポーラスMSQ、ポーラスHSQ、メチル基と水素基の両
方を含有するハイブリッド膜、カーボンの主成分とするポーラス有機膜の何れか
であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明が属する技術分野】**

本発明は、半導体集積回路における配線構造に係り、特に多孔性の低誘電率膜からなる層間絶縁膜と銅配線とを用いた多層配線構造に関する。

【0002】**【従来の技術】**

半導体集積回路の微細化に伴い、メタル配線の信号遅延が深刻な問題となっている。

この問題を解決するため、配線材料に銅（Cu）を用いて配線抵抗を低減し、層間絶縁膜に低誘電率膜を用いて静電容量を低減することが必要不可欠となっている。

特に、次世代の半導体集積回路では、より一層の層間容量低減のため、絶縁膜中に複数の空孔を有する、いわゆる多孔性の低誘電率膜（以下「ポーラスLow-k膜」という。）の使用が検討されている。

そして、ポーラスLow-k膜への金属拡散を防止するため、配線用溝の表面にCVD酸化膜を形成する方法が提案されている（例えば、特許文献1参照）。

【0003】**【特許文献1】**

特開平9-298241号公報（第5頁、第1図）

【0004】**【発明が解決しようとする課題】**

次世代の65nmノードの半導体集積回路では、配線間の距離が一層短くなる。これに伴い、配線間のポーラスLow-k膜の幅に対して、配線用溝の側面に形成された上記CVD酸化膜の膜厚が相対的に大きくなる。すなわち、配線用溝側面に形成された物質の比誘電率が、線間容量に与える影響が大きくなる。

しかしながら、上記CVD酸化膜の比誘電率 k は4.1～4.3程度であるので、層間絶縁膜であるポーラスLow-k膜の実効誘電率 k_{eff} が高くなってしまい、所望の実効誘電率が得られないという問題があった。

【0005】

本発明は、上記従来の課題を解決するためになされたもので、層間絶縁膜の実効誘電率の増加を最小限に抑えながら、多孔性の低誘電率膜と銅配線を用いた多層配線を形成することを目的とする。

【0006】

【課題を解決する為の手段】

この発明に係る半導体装置は、基板上に形成された多孔性の低誘電率膜と、前記低誘電率膜内に形成された配線溝と、前記配線溝の側面のみを覆い、比誘電率が3以下である絶縁膜と、前記配線溝内に形成された導電体膜と、を備えたことを特徴とするものである。

【0007】

この発明に係る半導体装置において、前記絶縁膜は、MSQ、HSQ、フッ素化ポリ（アリレン）膜、アモルファスフッ化カーボンの何れかであることが好適である。

【0008】

この発明に係る半導体装置において、前記低誘電率膜は、ポーラスMSQ、ポーラスHSQ、メチル基と水素基の両方を含有するハイブリッド膜、カーボンを主成分とするポーラス有機膜、の何れかであることが好適である。

【0009】

この発明に係る半導体装置の製造方法は、基板上に多孔性の低誘電率膜を形成する工程と、前記低誘電率膜内に配線溝を形成する工程と、前記配線溝の側面を含む前記基板の全面に、比誘電率が3以下である絶縁膜を形成する工程と、前記配線溝の側面以外に形成された不要な前記絶縁膜を除去する工程と、前記配線溝内に導電体膜を形成する工程と、を含むことを特徴とするものである。

【0010】

この発明に係る製造方法において、前記絶縁膜は、MSQ、HSQ、フッ素化ポリ（アリレン）膜、アモルファスフッ化カーボンの何れかであることが好適である。

【0011】

この発明に係る製造方法において、前記低誘電率膜は、ポーラスMSQ、ポーラスHSQ、メチル基と水素基の両方を含有するハイブリッド膜、カーบอนを主成分とするポーラス有機膜の何れかであることが好適である。

【0012】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一または相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【0013】

先ず、本発明の実施の形態による半導体装置について説明する。

図1は、本発明の実施の形態による半導体装置を説明するための図である。

図1に示すように、シリコン基板等の基板1上に、空孔21を有する多孔性低誘電率膜（以下「ポーラスLow-k膜」ともいう。）2としてのポーラスMSQが形成されている。このポーラスLow-k膜2は、ポーラスMSQの他に、例えば、ポーラスHSQ、メチル基と水素基の両方を含有するハイブリッド膜、カーบอนを主成分とするポーラス有機膜がある。また、ポーラスMSQ（2）上にハードマスク3としてのSiCマスクが形成され、ポーラスMSQ（2）内に配線埋め込み用の溝又は孔（以下「配線溝」という。）5が形成されている。この配線溝5の側面上には、比誘電率kが3以下、より好適には2.5以下である絶縁膜7が形成されている。この絶縁膜7は、例えば、MSQ、HSQ、又は、フッ素化ポリ（キシリレン）膜等のフッ素化ポリ（アリレン）膜、アモルファスフッ化カーボンである。配線溝5内には、バリア金属膜及びシード層10、金属11としてのCuが導電体膜として形成されている。

【0014】

次に、上記半導体装置の製造方法について説明する。

図2は、本実施の形態による半導体装置の製造方法を説明するための図である。詳細には、図2(a)はポーラスMSQ上にSiCマスクを形成した後の状態を示す図であり、図2(b)はポーラスMSQ内に配線溝を形成した後の状態を示す図であり、図2(c)は基板全面に低誘電率膜を形成した状態を示す図であり、図2(d)は不要な低誘電率膜をエッチングした後の状態を示す図である。

なお、図2では、図1に示すバリアメタル膜及びシード層10並びに金属(Cu)11の形成についての図示を省略している。

【0015】

先ず、図2(a)に示すように、シリコン基板1上に、複数の空孔21を有するポーラスMSQ(2)を形成する。ポーラスMSQ(2)の空孔21の大きさは、例えば数Å～数百Å程度である。次に、ポーラスMSQ(2)上に、SiCマスク3を形成する。

【0016】

次に、図2(b)に示すように、SiCマスク3をマスクとして、ポーラスMSQ(2)をプラズマエッチングする。ここで、本実施の形態では、プラズマエッチング装置として、シリコン基板1を上面に載置する下部電極と、それに対向する上部電極とを備えた2周波励起平行平板型RIE(reactive ion etching)装置を用いた(図示省略)。

ポーラスMSQ(2)のプラズマエッチングについて詳述すると、先ず、上部電極に対向する下部電極上にシリコン基板1を配置する。シリコン基板1の温度は、熱交換器等を用いて約25℃に保っておく。次に、チャンバ内にプロセスガスとしてC₄F₈/N₂/Arをそれぞれ10/225/1400sccmの流量で導入して、排気機構を用いてチャンバ内の圧力を150mTorrに保つ。そして、上部電極に周波数60MHz、出力1000WのRF電力(高周波電力)を印加し、下部電極に周波数13.56MHz、出力1400WのRF電力を印加すると、チャンバ内にプラズマ4が発生する。このプラズマ4でポーラスMSQ(2)を異方性エッチングすることにより、ポーラスMSQ(2)内に配線溝5が形成される。エッチング終了後は、配線溝5の側面が、ポーラスMSQ(2)の空孔21により凹凸形状となる。

【0017】

次に、図2(c)に示すように、配線溝5の側面を含むシリコン基板1全面に、比誘電率が3以下である絶縁膜（以下「低誘電率膜」という。）6を形成する。以下、低誘電率膜6として、比誘電率が2.2程度で空孔を有しないフッ素化ポリ（キシリレン）膜 $[CF_2-C_6H_4-CF_2]_n$ を形成する場合について説明する。

先ず、原料収納容器においてフッ素が結合されたキシリレン化合物を加熱・気化させ、これにより得られた原料ガスを5 s c c mの流量で加熱反応機構に供給する。そして、この加熱反応機構において、600℃の温度で原料ガスを活性化させることにより前駆体を形成する。次に、この前駆体を、20 m T o r r程度に保たれた成膜チャンバ内の静電チャック上で、マイナス30℃に保たれたシリコン基板1の表面に導く。これにより、シリコン基板1表面で前駆体の重合反応が起こり、シリコン基板1上にフッ素化ポリ（キシリレン）膜6が10 n m程度の膜厚で形成される。その後、このフッ素化ポリ（キシリレン）膜6が形成されたシリコン基板1を縦型炉に移載し、大気圧のN₂雰囲気下、400℃で60分間熱処理を行うことにより、該フッ素化ポリ（キシリレン）膜6を安定化した。

【0018】

次に、図2(d)に示すように、上述したエッチング装置を用いて、配線溝5の側面以外に形成された不要なフッ素化ポリ（キシリレン）膜6を除去する。

このフッ素化ポリ（キシリレン）膜6のプラズマエッチングについて詳述すると、先ず、下部電極上に配置したシリコン基板1を熱交換器等により約25℃に保っておく。次に、チャンバ内にプロセスガスとしてN₂/H₂をそれぞれ150/250 s c c mの流量で導入して、排気機構を用いてチャンバ内の圧力を300 m T o r rに保つ。そして、上部電極に周波数60 M H z、出力1500 WのR F電力（高周波電力）を印加し、下部電極に周波数13.56 M H z、出力600 WのR F電力を印加すると、チャンバ内にプラズマ7が発生する。このプラズマ7でフッ素化ポリ（キシリレン）膜6を異方性エッチングすることにより、配線溝5の側面上にのみ低誘電率膜6を残して、それ以外の不要なフッ素化ポリ（キシリレン）膜6が除去される。

なお、上述した N_2/H_2 ガスを用いたプラズマエッチングに代えて、 Ar ガスを用いたスパッタエッチングを行って、不要なフッ素化ポリ（キシリレン）膜 6 を除去してもよい。

以上のようにして、ポーラスMSQ（2）内に形成された配線溝 5 の側面のみを覆うフッ素化ポリ（キシリレン）膜 6 が形成される。

【0019】

最後に、図示しないが、配線溝 5 内に導電体膜を形成する。詳細には、バリアメタル膜及びシード層（10）を順次形成した後、 Cu 等の金属（11）を堆積させ、不要な金属をCMPにより除去して平坦化する。これにより、図 1 に示す半導体装置が得られる。

【0020】

以上説明したように、本実施の形態では、ポーラスMSQ（2）内に配線溝 5 を形成した後、この配線溝 5 の側面にフッ素化ポリ（キシリレン）膜 6 を形成し、その後、配線溝 5 内に導電体膜を形成した。本実施の形態によれば、導電体膜を形成する際、配線溝 5 側面の空孔 21 はフッ素化ポリ（キシリレン）膜 6 により覆われており、凹凸形状は緩和されている。従って、配線溝 5 内にカバレッジ良く且つ高い密着性で導電体膜を形成することができる。

【0021】

また、本実施の形態では、配線溝 5 側面を比誘電率が 3 以下である低誘電率膜 6 で覆うことにより、層間絶縁膜 2 の実効誘電率の増加を抑えるようにした。従って、実効誘電率の増加を最小に抑えながら、配線材料に銅を用い、層間絶縁膜にポーラスLow-k膜を用いた多層配線（ $Cu/Low-k$ 多層配線）を形成することができる。よって、半導体装置の微細化が可能となり、半導体装置の信頼性を向上させることができる。

【0022】

なお、本実施の形態では、フッ素化ポリ（キシリレン）膜 6 の膜厚を 10 nm 程度としたが、これに限られず、配線溝 5 としての溝や孔の径や、不要なフッ素化ポリ（キシリレン）膜 6 の膜厚を除去する際（図 2（d）参照）の膜減り量等を考慮して適宜設定すればよい。

【0 0 2 3】

また、本実施の形態では、低誘電率膜 6 として比誘電率 k が 2. 2 程度のフッ素化ポリ（キシリレン）膜を形成したが、所望の実効誘電率に基づいて、比誘電率 k が 2. 8 程度の MSQ 系の CVD 膜を形成してもよい。この MSQ 系の CVD 膜としては、例えば、トリメチルシランやテトラメチルシランを原料ガスとし、平行平板型のプラズマ CVD 装置を用いて形成される膜がある。

【0 0 2 4】

また、低誘電率膜 6 として空孔を全く有しない膜を用いることが、導電体膜の密着性向上の目的からは望ましい。但し、導電材料がポーラス MSQ（2）内に拡散するのを防止できれば、空孔を有し且つその空隙率が低い膜を低誘電率膜 6 として適用することができる。この場合、空孔を有しない膜と比べて、実効誘電率の増加を防止する効果が向上する。

【0 0 2 5】

また、配線溝 5 としての溝と孔をそれぞれ別の工程で形成する場合に、この溝及び孔を形成した後にそれらの側面にフッ素化ポリ（キシリレン）膜 6 を同時に形成してもよく、溝又は孔を形成する毎にそれぞれフッ素化ポリ（キシリレン）膜 6 を形成してもよい。生産性の観点からは前者の方が望ましい。

【0 0 2 6】**【発明の効果】**

本発明によれば、層間絶縁膜の実効誘電率の増加を最小限に抑えながら、多孔性の低誘電率膜と銅配線を用いた多層配線を形成することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態による半導体装置を説明するための断面図である。

【図 2】 本発明の実施の形態による半導体装置の製造方法を説明するための断面図である。

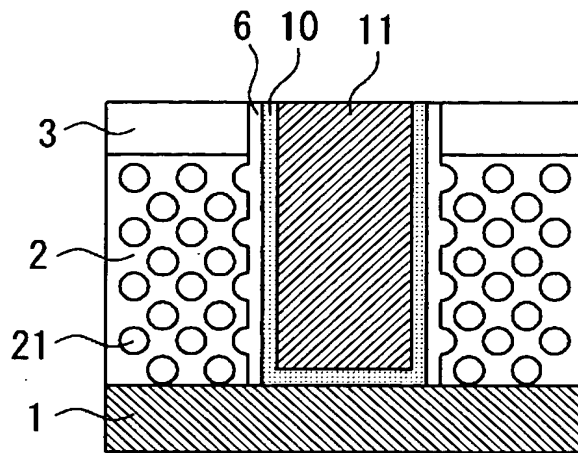
【符号の説明】

- 1 基板（シリコン基板）
- 2 多孔性低誘電率膜（ポーラス MSQ）

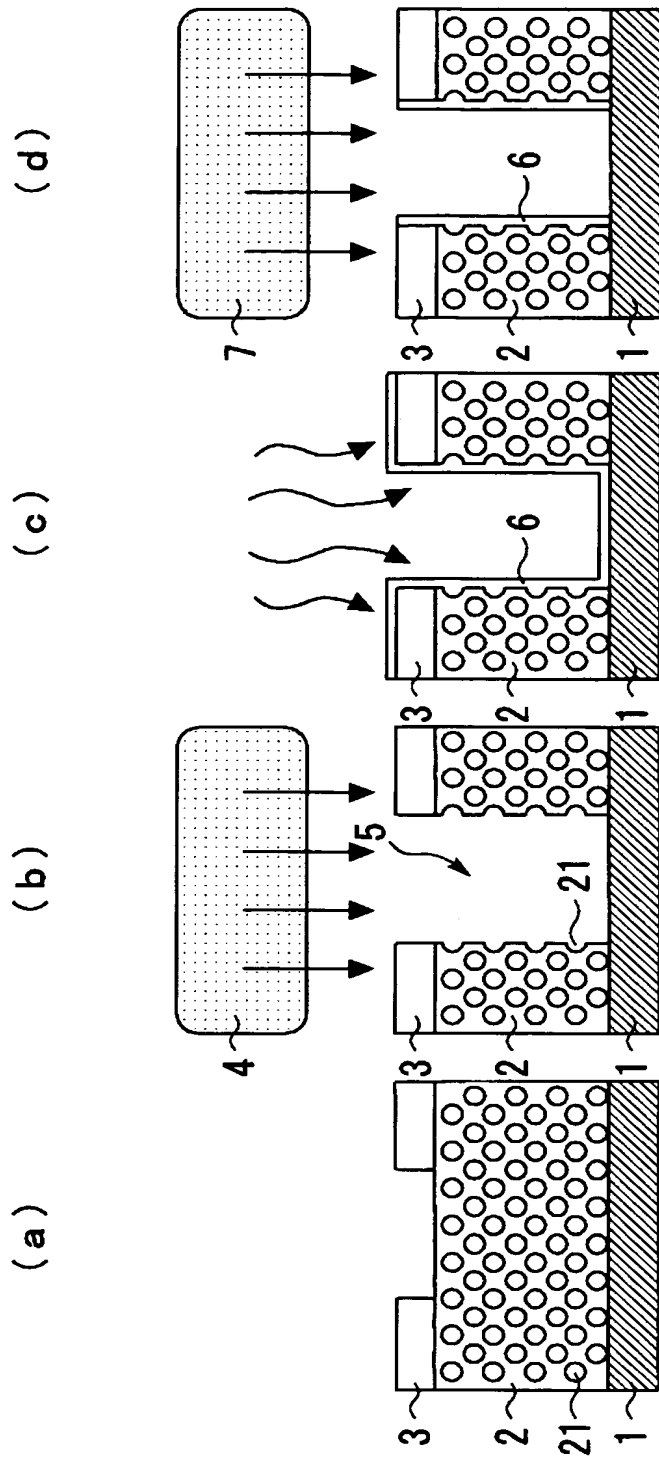
- 3 ハードマスク (S i C マスク)
- 4 プラズマ
- 5 配線溝
- 6 プラズマ
- 7 低誘電率膜 [フッ素化ポリ (キシリレン) 膜]
- 1 0 バリアメタル膜、シード層
- 1 1 金属 (C u)
- 2 1 空孔

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 層間絶縁膜の実効誘電率の増加を最小限に抑えながら、多孔性の低誘電率膜と銅配線を用いた多層配線を形成する。

【解決手段】 シリコン基板 1 上にポーラスMSQ (2) を形成し、その上にSiCマスク 3 を形成する。このSiCマスク 3 をマスクとしたプラズマエッチングにより、ポーラスMSQ (2) に配線溝 5 を形成する。配線溝 5 の側面を含むシリコン基板 1 全面にフッ素化ポリ (キシリレン) 膜 6 を形成し、配線溝 5 の側面以外に形成された不要なフッ素化ポリ (キシリレン) 膜 6 を除去する。配線溝 5 内にバリアメタル膜及びシード層を形成し、金属を堆積する。

【選択図】 図 2

特願 2 0 0 2 - 3 6 3 3 9 6

出 願 人 履 歴 情 報

識別番号

[5 9 7 1 1 4 9 2 6]

1. 変更年月日 1 9 9 7 年 8 月 1 2 日
 [変更理由] 新規登録
 住 所 神奈川県横浜市戸塚区吉田町 2 9 2 番地
 氏 名 株式会社半導体先端テクノロジーズ

2. 変更年月日 2 0 0 2 年 4 月 1 0 日
 [変更理由] 住所変更
 住 所 茨城県つくば市小野川 1 6 番地 1
 氏 名 株式会社半導体先端テクノロジーズ